

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-237889

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

H01L 29/778
H01L 21/338
H01L 29/812
H01L 21/203
H01L 29/205

(21)Application number : 08-042459

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.02.1996

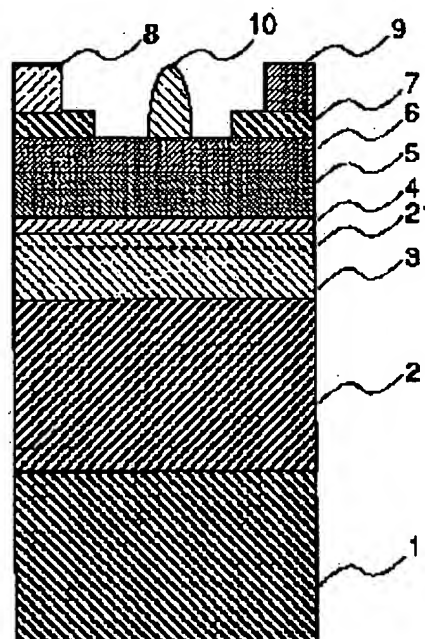
(72)Inventor : KUDO MAKOTO
MISHIMA TOMOYOSHI
HIGUCHI KATSUHIKO

(54) SEMICONDUCTOR CRYSTAL LAMINATE AND SEMICONDUCTOR DEVICE USING THE LAMINATE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to use Si or Sn by using an InAlAsSb layer containing Si or Sn as an N-type carrier supply layer as an N-type impurity, and using an undoped InAs layer or undoped InAsSb layer as a two-dimensional electron gas forming layer.

SOLUTION: An undoped InAlAsSb layer 2 is laminated in a thickness for sufficiently relaxing the lattice strain on a semi-insulating GaAs substrate 1. InAs 3 is grown 20nm as a channel layer thereon, and an undoped InAlAsSb layer 4 is grown 2nm as a spacer layer. Then, an N-type InAlAsSb carrier supply layer 5 is grown 10nm. An undoped InAlAsSb layer 6 of 20nm and N-type InAs cap layer 7 of 50nm are sequentially epitaxially grown.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237889

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778		9447-4M	H 0 1 L 29/80	H
21/338			21/203	M
29/812			29/205	
21/203				
29/205				

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平8-42459

(22) 出願日 平成8年(1996)2月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 工藤 真

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 三島 友義

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 樋口 克彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

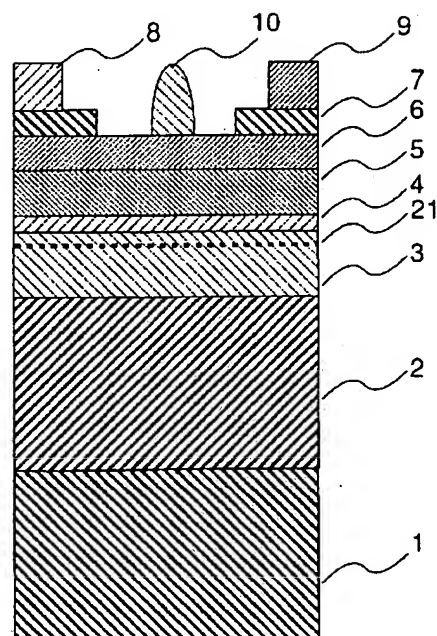
(54) 【発明の名称】 半導体結晶積層体及びそれを用いた半導体装置

(57) 【要約】

【課題】 Sbを含むN型キャリア供給層とInAsを含む2次元電子ガス形成層が積層された半導体結晶積層体及びそれを用いた半導体装置において、N型キャリア供給層のN型不純物としてSiおよびSnの使用を可能にする。

【解決手段】 N型キャリア供給層としてSiまたはSnをN型不純物として含むInAlAsSb層を用い、2次元電子ガス形成層としてアンドープInAs層またはアンドープInAsSb層を用いる。

図 1



【特許請求の範囲】

【請求項1】 N型キャリア供給層と2次元電子ガス形成層が積層され、上記N型キャリア供給層から上記2次元電子ガス形成層の上記N型キャリア供給層側表面に電子が供給されて2次元電子ガスが形成される半導体結晶積層体において、上記N型キャリア供給層はSiまたはSnがドーブされたN型InAlAsSb層であり、上記2次元電子ガス形成層はアンドープInAs層またはアンドープInAsSb層を有していることを特徴とする半導体結晶積層体。

【請求項2】 上記N型InAlAsSb層のIn組成比は0.3以上0.63以下であることを特徴とする請求項1に記載の半導体結晶積層体。

【請求項3】 上記N型InAlAsSb層と上記アンドープInAs層または上記アンドープInAsSb層の間にスペーサー層として働くAlSb層またはAlGaSb層を有することを特徴とする請求項1又は2に記載の半導体結晶積層体。

【請求項4】 2次元電子ガスを用いる半導体装置において、上記2次元電子ガスを請求項1乃至3のいずれか一項に記載の半導体結晶積層体を用いて形成していることを特徴とする半導体装置。

【請求項5】 上記2次元電子ガスは電界効果トランジスタのチャンネルであることを特徴とする請求項4に記載の半導体装置。

【請求項6】 上記2次元電子ガスの面内に一定の電流を流す1対の第1の電極と、上記2次元電子ガスを横切る方向に印加される磁界によって上記2次元電子ガス面内における電流を横切る方向に発生する出力電圧用の1対の第2の電極を持つホール素子を有することを特徴とする請求項4に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はエピタキシャル成長により作製されたヘテロ接合を利用した半導体装置に関する。

【0002】

【従来の技術】 分子線エピタキシー (MBE) 法等によりエピタキシャル成長したヘテロ構造を用いた電界効果トランジスタのうち、InAs等特に移動度の高い材料をチャンネルに用いた例としては、NチャンネルHEMT (High Electron Mobility Transistor: 電界効果トランジスタの一種) が、特開昭60-144979号公報にて知られている。

【0003】 このHEMTは、InP基板上にIn組成0.5からステップ状に組成を増加させたInGaAsバッファ層および $\text{Al}_{1-x}\text{Ga}_x\text{As}_{1-y}\text{Sb}_y$ ($y=0.067x+0.090$) バッファを順に積層し、更に、InAsチャンネル層および $\text{Al}_{1-x}\text{Ga}_x\text{As}_{1-y}\text{Sb}_y$ ($y=0.067x+0.090$) キャリア供給層を

順に積層している。キャリア供給層からチャンネル層にキャリアである電子が供給され、チャンネル層のキャリア供給層側表面に2次元キャリアガスとして2次元電子ガスが形成される。

【0004】

【発明が解決しようとする課題】 上記従来技術のHEMTでは、通常行うキャリア供給層へのN型不純物のドーピングを行っていない。InAsチャンネル層とキャリア供給層を接合したときに自然発生する電子で2次元電子ガスが形成される。そして、キャリア供給層の厚さを変えて2次元電子ガスの濃度を制御している。しかし、電子ガス濃度の制御幅が小さいという問題がある。

【0005】 自然発生する電子を利用せざるを得ない理由は、InAsチャンネル層と格子整合する $\text{Al}_{1-x}\text{Ga}_x\text{As}_{1-y}\text{Sb}_y$ キャリア供給層のSb組成が84.3%以上と大きい為に、通常のMBEにて非常に安定なN型不純物として使われているSi及びSnがP型不純物となり、N型不純物として使えない為である。

【0006】 本発明の目的は、Sbを含むN型キャリア供給層とInAsを含む2次元電子ガス形成層が積層された半導体結晶積層体及びそれを用いた半導体装置において、N型キャリア供給層のN型不純物としてSiおよびSnの使用を可能にすることにある。

【0007】

【課題を解決するための手段】 上記目的は、N型キャリア供給層としてSiまたはSnをN型不純物として含むInAlAsSb層を用い、2次元電子ガス形成層としてアンドープInAs層またはアンドープInAsSb層を用いることにより達成できる。

【0008】 また、N型キャリア供給層と2次元電子ガス形成層との間にスペーサー層としてAlSb層またはAlGaSb層を挿入しても良い。HEMTの場合、スペーサー層を挿入することにより電子の輸送特性が向上する。

【0009】

【発明の実施の形態】 SiドーブN型InAlAsSbキャリア供給層と、InAs2次元電子ガス形成層とのヘテロ構造を有する半導体結晶積層体を例にとり本発明の作用を説明する。本発明のキャリア供給層には、Sb組成比の減少により小さくなった分の格子定数を補償するInが含まれている為、小さなSb組成比でInAs層と格子整合させることができる。例えば、InAlAsSbのInとAlの組成比を50%にすることにより、Sb組成比を50%以下にまで小さくすることができる。このようにSb組成比を小さくすることにより、SiおよびSnはN型不純物として働き易くなる。また一般的に、Inを多く含む材料系ではSiおよびSnはN型不純物として働きやすい性質がある。したがって、InAlAsSb層をN型にすることが可能である。

【0010】次に、InAlAsSb層へのドーピング特性に関して詳しく説明する。MBE装置により半絶縁性GaAs基板上にアンドープInAlAsSb層(In組成0.5)を十分に格子歪みが緩和する厚さ(ここでは1ミクロン程度)積層し、その上にSiドーブInAlAsSb(Si濃度 8×10^{18} 個/cm³)を100nm、アンドープInAlAsSb層を100nm順次エピタキシャル成長した。試料は4枚作製し、Inの組成比は0.5一定とし、Sbの組成比を0.009、0.26、0.47と4通りに変化させた。これらの試料を通常のファン・デア・パウ法によりホール測定した。図3に結果を示す。少なくともSb組成比が50%以下であれば電子がキャリアとなり、伝導型がN型となっていることがわかる。また、Inの組成比は0.5に限らず、伝導型がN型になるように、Sb組成比との兼ね合

【0011】また、InAsに格子整合するInAlAsSbのSb組成比は、Inの組成比が0.5の場合0.44であり、このときのキャリア濃度は図3から 4×10^{18} 個/cm³を十分に超えているので、SiドーブInAlAsSb層がInAsをチャンネルに用いるHEMT素子のキャリア供給層として非常に適した材料であることがわかる。

【0012】また、Inの組成比は、HEMT素子への適用を考えた場合、0.3を下回るとInAlAsSbが間接遷移領域になるため実用上問題が起こる。また、0.63を越えると禁制帯幅が1.27eVを下回るため、耐圧が問題となり、0.3以上0.63以下が好ましい。

【0013】また、図3において、得られた電子濃度を直線で結ぶことによりSb組成が100%の場合でもN型の伝導特性を示すことが予想できる。しかし、HEMT素子への適用を考えた場合、キャリアの活性化率(電子濃度/ドーピング濃度)が50%を下回る範囲では、チャンネルの輸送特性に悪影響がでる。そのため、Sb組成比は0.7を越えないことが望ましい。

【0014】また、InAlAsSb層を、互いの格子不整合による歪を維持できる範囲の膜厚のInAlAsとInAsSbからなる短周期超格子で構成しても本発明の効果に変わりはない。

【0015】以上の説明はInAlAsSbとInAsを有するヘテロ構造を用いた半導体結晶積層体及びそれを用いた半導体装置に本発明を適用した場合を例にとり説明したが、InAlAsSbと、InAsSbを有する半導体装置の場合でもIn及びSbの組成比を適当に選べば同様の効果が得られる。

【0016】以下、本発明の実施例を図を用いて説明する。

【0017】実施例1

本発明の実施例1を図1を用いて説明する。MBE装置に

より半絶縁性GaAs基板1上にアンドープInAlAsSb層2(In組成0.5、Sb組成0.44)を十分に格子歪みが緩和する厚さ(ここでは2ミクロン程度)積層し、その上にInAs3をチャンネル層として20nm、アンドープInAlAsSb層4(In組成0.5、Sb組成0.44)をスペーサ層として2nm成長し、続いてN型InAlAsSbキャリア供給層5(In組成0.5、Sb組成0.44、Si濃度 1×10^{18} 個/cm³)を10nm、アンドープInAlAsSb層6(In組成0.5、Sb組成0.44)を20nm、N型InAsキャップ層7(Si濃度 1×10^{19} 個/cm³)を50nm順次エピタキシャル成長する。

【0018】このようにして作製した半導体結晶積層体を、周知のメサエッチング工程、ソース電極8、ドレイン電極9形成工程、ゲートリセス工程、ゲート電極10形成工程を経て、HEMTデバイスを形成する。

【0019】本HEMTを、N型InAsキャップ層7の無い状態で、通常のファン・デア・パウ法によりホール測定したところ、アンドープInAs層3に形成される二次元電子ガスの室温におけるシート電子濃度は約 1.2×10^{12} 個/cm²であった。参考のためキャリア供給層にドーピングしなかった試料についても同様の評価を行なったところ、シートキャリア濃度は 0.7×10^{12} 個/cm²であった。本発明により、室温における移動度が2万cm²/V・sを越えるInAs層をチャンネルに持つHEMTのキャリア濃度のドーピングによる制御が、初めて可能となった。キャリア濃度を制御することは、HEMT素子において、しきい電圧を制御することに当たる。

【0020】以上より、本発明の半導体結晶積層体及びそれを用いた半導体装置がしきい電圧等のHEMT素子の基本特性の制御性の向上に効果があることが明らかになった。

【0021】本実施例では、GaAs基板を用いたがInP基板等他の基板を用いても本発明の効果に変わりはない。

【0022】また、本実施例ではバッファ層は単層としたが、格子定数を徐々に変化したグレーデッド層等、格子定数の異なる半導体層間を無理無く結び付けるものであればどのようなものでも良い。

【0023】また、本実施例ではチャンネルにInAs層を用いた例についてのみ記述したが、チャンネルにInAsSb層または互いにひずんだInAsとInSbからなる短周期超格子を用いても本発明の効果に変わりはない。

【0024】また、本半導体結晶積層体は移動度に非常に優れているため、微弱磁場の測定等に利用可能な超高感度のホール素子にも応用可能であることは明らかである。この場合、二次元電子ガスの面内に一定の電流を流す1対の第1の電極と、二次元電子ガスを横切る方向に

印加される磁界によって2次元電子ガス面内における電流を横切る方向に発生する出力電圧用の1対の第2の電極を設ける。

【0025】実施例2

本発明の実施例2の半導体装置を図2により説明する。

【0026】MBE装置により半絶縁性GaAs基板1上にアンドープAlSb層11を50nm積層し、その上にアンドープGaSb2.5nmとアンドープAlSb2.5nmからなる20周期の超格子バッファ層12、アンドープInAlAsSb層2(In組成0.5、Sb組成0.44)をバッファ層として2ミクロン、アンドープAlGaSb層13(Al組成0.5)を2nm、InAs3をチャンネル層として20nm、アンドープAlGaSb層13をスペーサ層として2nm成長し、続いてn型InAlAsSbキャリア供給層5(In組成0.5、Sb組成0.44、Si濃度 1×10^{18} 個/cm³)を10nm、アンドープAlGaSb層14(Al組成0.5)を20nm、N型InAsキャップ層7(Si濃度 1×10^{19} 個/cm³)を50nm順次エピタキシャル成長する。

【0027】このようにして作製した半導体結晶積層体を、周知のメサエッチング工程、ソース電極8、ドレイン電極9形成工程、ゲートリセス工程、ゲート電極10形成工程を経て、HEMTデバイスを形成する。

【0028】本HEMTを、N型InAsキャップ層7の無い状態で、通常ファン・デア・パウ法によりホール測定したところ、アンドープInAs層3に形成される2次元電子ガスの室温におけるシート・キャリア濃度はキャリア供給層にドーピングしたもので約 2.3×10^{12} 個/cm²、キャリア供給層にドーピングしなかったもので約 1.8×10^{12} 個/cm²であった。本発明の効果がバッファ層やスペーサ層の変更により、悪影響を受けていないことがわかる。

【0029】また、得られた半導体結晶積層体を600℃で10分間アニールしたが、電気的特性に変化はなかった。このことから、本半導体結晶積層体が、実際のHEMT素子作製プロセスに充分耐えうるものであることがわかる。

【0030】以上より、本発明の半導体結晶積層体及び

それを用いた半導体装置がしきい電圧等のHEMT素子の基本特性の制御性の向上に効果があることが明らかになった。

【0031】本実施例では、GaAs基板を用いたがInP基板等他の基板を用いても本発明の効果に変わりはない。

【0032】また、本実施例ではチャンネルにInAs層を用いた例についてのみ記述したが、チャンネルにInAsSb層を用いても本発明の効果に変わりはない。

【0033】また、実施例1及び2で得られた結果から、本発明の半導体結晶積層体及びそれを用いた半導体装置を用いることにより、これらを用いたMMIC(Monolithic Microwave Integrated Circuit)において相互コンダクタンス、雑音指数、利得の制御性、信頼性及び再現性が向上することは明らかである。

【0034】

【発明の効果】本発明によれば、InAsやInAsSb等移動度に優れた材料系を有効に利用することができる。

20 【図面の簡単な説明】

【図1】本発明の実施例1の半導体装置の断面図である。

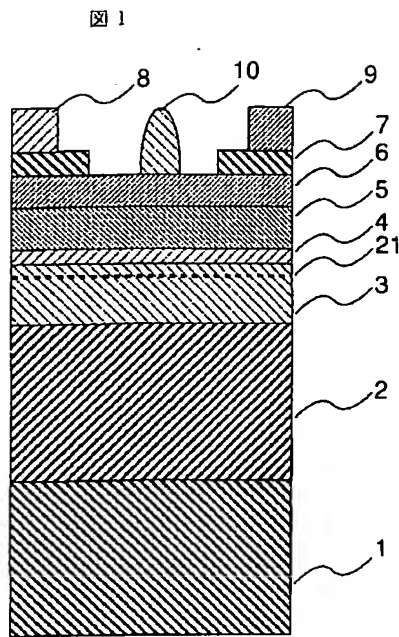
【図2】本発明の実施例2の半導体装置の断面図である。

【図3】SiドーブInAlAsSb(In組成比0.5、Si濃度 1×10^{18} 個/cm³)における自由電子濃度のSb組成比依存性を示す図である。

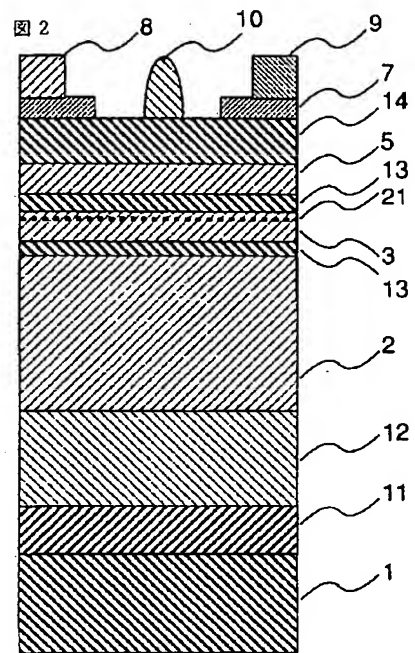
【符号の説明】

1…半絶縁性GaAs基板、2…アンドープInAlAsSbバッファ層、3…アンドープInAsチャンネル層、4…アンドープInAlAsSbスペーサ層、5…N型InAlAsSbキャリア供給層、6…アンドープInAlAsSb層バリア層、7…N型InAsキャップ層、8…ソース電極、9…ドレイン電極、10…ゲート電極、11…アンドープAlSbバッファ層、12…アンドープGaSbとアンドープAlSbからなる超格子バッファ層、13…アンドープAlGaSbスペーサ層、14…アンドープAlGaSbバリア層、21…2次元電子ガス。

【図1】



【図2】



【図3】

